

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 1 5 5 8 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 1 5 5 8 4]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 9 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 8 8 7 5

【書類名】 特許願
【整理番号】 J0101288
【提出日】 平成15年 9月 8日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/30
【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 宮澤 貴士
【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
【代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅誉
 【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8
【選任した代理人】
 【識別番号】 100107076
 【弁理士】
 【氏名又は名称】 藤網 英吉
【選任した代理人】
 【識別番号】 100107261
 【弁理士】
 【氏名又は名称】 須澤 修
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-277956
 【出願日】 平成14年 9月24日
【手数料の表示】
 【予納台帳番号】 013044
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0109826

【書類名】 特許請求の範囲**【請求項 1】**

電子素子と、

データ信号を電荷量として蓄積する容量素子と、

前記容量素子に蓄積された前記電荷量に相対して導通状態が設定され、前記導通状態に相対した電流量を前記電子素子に供給する第 1 のトランジスタと、を含み、

前記容量素子は、前記データ信号としてのデータ電流及びデータ電圧を蓄積可能であることを特徴とする電子回路。

【請求項 2】

請求項 1 に記載の電子回路において、

前記データ電流は多値のデータ電流であり、

前記データ電圧は、2 値のデータ電圧であり、

前記多値のデータ電流と前記 2 値のデータ電圧は、第 2 のトランジスタを介して前記容量素子に供給されることを特徴とする電子回路。

【請求項 3】

請求項 1 又は 2 に記載の電子回路において、

前記第 1 のトランジスタのゲートとドレインとの間に第 3 のトランジスタを設けたこと

、
を特徴とする電子回路。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 つに記載の電子回路において、

前記第 1 のトランジスタの前記データ信号に応じて前記導通状態が設定された後、

前記電子素子への電流の開始または終了のタイミングを決定する第 4 のトランジスタを備えたこと特徴とする電子回路。

【請求項 5】

電子素子と、

データ信号としてのデータ電流及びデータ電圧を電荷量として蓄積可能で容量素子と、

前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電子素子に供給する第 1 のトランジスタと、

を含み、

オン状態となることにより前記容量素子に保持された前記電荷量を所定状態にリセットする第 5 のトランジスタを備えたことを特徴とする電子回路。

【請求項 6】

複数の走査線と、複数のデータ線と、複数の単位回路と、を含む電気光学装置であって、

前記複数の単位回路に前記複数のデータ線を介して 2 値のデータ電圧を出力するためのデータ電圧出力回路と、

前記複数の単位回路に前記複数のデータ線にデータ電流を出力するためのデータ電流出力回路と

を備えたことを特徴とする電気光学装置。

【請求項 7】

請求項 6 に記載の電気光学装置において、

前記データ電圧と前記データ電流とが同一のデータ線を介して供給されることを特徴とする電気光学装置。

【請求項 8】

請求項 6 に記載の電気光学装置において、

前記データ電圧と前記データ電流は異なるデータ線を介して供給されることを特徴とする電気光学装置。

【請求項 9】

複数の走査線と、

前記複数の走査線に対して交差するように配線された複数のデータ線と、

前記複数の走査線と前記複数データ線との交差部に対応してそれぞれ設けられ、前記複数のデータ線の対応するデータ線を介して供給されるデータ信号に応じて電気光学素子を駆動する単位回路と、を備え、

前記データ信号として、デジタルデータ及びアナログデータを生成し、
前記デジタルデータを用いて3つ以上の輝度を設定することが可能であること、
を特徴とする電気光学装置。

【請求項10】

請求項9に記載の電気光学装置において、

前記デジタルデータは、電圧信号であり、
前記アナログデータは、電流信号であること、
を特徴とする電気光学装置。

【請求項11】

請求項9または10に記載の電気光学装置において、

低消費電力モードの場合には、前記デジタルデータを用いて輝度を設定し、
非低消費電力モードの場合には、前記アナログデータを用いて輝度を設定すること、
を特徴とする電気光学装置。

【請求項12】

請求項9～11のいずれか1つに記載の電気光学装置において、

前記デジタルデータが前記単位回路に供給される際は、輝度レベルは第1レベル及び第2レベルの2値であり、
所定時間内の、前記輝度レベルが前記第1レベルまたは前記第2レベルにある時間の累積の長さによって輝度が決定されること、
を特徴とする電気光学装置。

【請求項13】

請求項6～12のいずれか1つに記載の電気光学装置において、

前記電気光学素子はEL素子であることを特徴とする電気光学装置。

【請求項14】

請求項13に記載の電気光学装置において、

前記EL素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置。

【請求項15】

表示部を備えた電気光学装置であって、

複数の異なる階調方式を利用して、前記表示部に画像を表示することが可能であること、
を特徴とする電気光学装置。

【請求項16】

複数の走査線と、複数のデータ線と、各々が電気光学素子を含む、複数の単位回路と、を備えた電気光学装置の駆動方法であって、

低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、

非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成すること、

を特徴とする電気光学装置の駆動方法。

【請求項17】

複数の走査線と、複数のデータ線と、複数の単位回路と、を備えた電気光学装置の駆動方法であって、

第1の表示モード場合には、前記電気光学素子をデジタル階調するためのデジタルを前記複数のデータ線に出力し、

第2の表示モードの場合には前記電気光学素子をアナログ階調するためのアナログデータを前記複数のデータ線に出力すること、

を特徴とする電気光学装置の駆動方法。

【請求項 1 8】

請求項 1 6 又は 1 7 に記載の電気光学装置の駆動方法において、
前記デジタル階調は、3 値以上の輝度を設定するものであること、
を特徴とする電気光学装置の駆動方法。

【請求項 1 9】

請求項 1 6 乃至 1 8 のいずれかに記載の電気光学装置の駆動方法において、
前記デジタル階調において、輝度レベルは第 1 レベル及び第 2 レベルの 2 値であり、
所定時間内の前記輝度レベルが前記第 1 レベルあるいは前記第 2 レベルにある時間の累
積の長さによって輝度が決定されること、
を特徴とする電気光学装置の駆動方法。

【請求項 2 0】

請求項 6 ～ 1 5 のいずれか 1 つに記載の電気光学装置を実装したことを特徴とする電子機
器。

【書類名】 明細書**【発明の名称】 電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器****【技術分野】****【0001】**

本発明は電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

【背景技術】**【0002】**

近年、表示装置として、有機EL素子を用いた電気光学装置が注目されている。この種の電気光学装置には、有機EL素子の中間調を制御する駆動方式としてアナログ階調法がある（例えば、特許文献1参照）。そのアナログ階調法の一つとして有機EL素子に多値のデータ電流に応じた電流レベルの電流を供給する駆動トランジスタのソース・ゲート間電圧を同トランジスタの閾値電圧にして駆動する方式がある。この方式は、輝度階調に応じてDA変換回路から供給される電流（データ電流）を画素回路の保持キャパシタに蓄積させる。保持キャパシタに蓄積された電荷量に相對した充電電圧は、薄膜トランジスタ（TFT）よりなる駆動トランジスタのゲート端子に印加される。駆動トランジスタはデータ電流に相對した充電電圧に応じた値の駆動電流を有機EL素子に供給する。

【0003】

【特許文献1】 特開2001-147659号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

ところで、この電流プログラム方式等で用いられるDA変換回路は、画素回路で採用されている薄膜トランジスタ（TFT）で構成することは精度の面で難しく、外付けのICドライバーを使用することが一般的であった。

【0005】

しかしながら、外付けのICドライバーで構成されたDA変換回路は、表示パネル上で形成されるTFTドライバー回路に比べて消費電力が大きくなる問題があった。

【0006】

本発明は、上記問題点を解消するためになされたものであって、その目的は低消費電力と十分な表示品位を両立することができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。

【課題を解決するための手段】**【0007】**

本発明の第1の電子回路は、電子素子と、データ信号を蓄積する容量素子と、前記容量素子に蓄積された前記電荷量に相對して導通状態が設定され、前記導通状態に相對した電流量を前記電子素子に供給する第1のトランジスタとを含み、前記容量素子は、前記データ信号としてのデータ電流及びデータ電圧を蓄積可能である。

【0008】

これによれば、データ電圧とデータ電流を使い分けることによって、例えば、デジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0009】

上記の電子回路において、前記データ電流は多値のデータ電流であり、前記データ電圧は、2値のデータ電圧であり、前記多値のデータ電流と前記2値のデータ電圧は、第2のトランジスタを介して前記容量素子に供給可能することが好ましい。

【0010】

これによれば、例えば、前記デジタル階調及びアナログ階調を行う場合にも、第2のスイッチングトランジスタをスイッチングトランジスタとして使用することができ、電子回

路内のトランジスタ数を低減することができる。

【0011】

上記の電子回路において、前記データ電流に基づく導通状態で導通し、前記第1のトランジスタのゲートとドレインとの間に第3のトランジスタを設けてもよい。

【0012】

これによれば、前記第3のトランジスタを前記第1のトランジスタの閾値電圧等の特性ばらつきを補償するために使用することができる。

【0013】

上記の電子回路において、前記電子素子の駆動タイミングを決定する第4のトランジスタを備えていてもよい。

前記第4のトランジスタは、具体的には、前記第1のトランジスタの前記データ信号に応じて前記導通状態が設定された後、前記電子素子への電流の開始または終了のタイミングを決定する。

前記第4のトランジスタは、例えば、前記第1のトランジスタと前記電子素子との間に配置されたトランジスタであってもよい。

あるいは、前記第1のトランジスタと駆動電圧との間の導通を制御するトランジスタであってもよい。

これによれば、前記電子素子に供給する電流を時間的にも制御することができる。

【0014】

本発明の第2の電子回路は、電子素子と、データ電流及びデータ電圧を電荷量として蓄積可能で容量素子と、前記容量素子に蓄積された前記電荷量に相対して導通状態が設定され、前記導通状態に相対した電流量を前記電子素子に供給する第1のトランジスタとを含み、オン状態となることにより、前記容量素子に保持された前記電荷量を所定状態にリセットする第5のトランジスタを備えた。

【0015】

上記の電子回路において、前記電子素子は電気光学素子であってもよい。

【0016】

上記の電子回路において、前記電気光学素子はEL素子であってもよい。

【0017】

上記の電子回路において、前記EL素子は、発光層が有機材料で構成されていてもよい。
これによれば、EL素子は、発光層が有機材料で形成された有機EL素子であってもよい。

【0018】

本発明の第1の電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、前記複数の単位回路に前記複数のデータ線を介して2値のデータ電圧を出力するためのデータ電圧出力回路と、前記複数の単位回路に前記複数のデータ線にデータ電流を出力するためのデータ電流出力回路とを備えた。

【0019】

これによれば、データ電圧出力回路から2値のデータ電圧を入力すればデジタル階調が、データ電流出力回路から多値のデータ電流を入力すればアナログ階調が行うことができる。

【0020】

上記の電気光学装置において、前記データ電圧と前記データ電流とが同一のデータ線を介して供給されるようにしてもよい。

これによれば、配線の占有面積を低減することができ、開口率を向上させることができる。

【0021】

上記の電気光学装置において、前記データ電圧と前記データ電流はそれぞれ別々のデータ線を介して供給されるようにしてもよい。

これによれば、前記データ電圧と前記データ電流の供給のタイミングの制限が緩和され、時間を有効に利用することができる。

【0022】

本発明の第2の電気光学装置は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との交差部に対応してそれぞれ設けられ、前記複数のデータ線の対応するデータ線を介して供給されるデータ信号に応じて電気光学素子を駆動する単位回路と、を備え、前記データ信号としてデジタルデータ及びアナログデータを生成し、前記デジタルデータを用いて3つ以上の輝度を設定することが可能であること、を特徴とする。

【0023】

上記の電気光学装置において、デジタル階調及びアナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、消費電力の低減を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0024】

上記の電気光学装置において、前記デジタルデータは、電圧信号であってもよい。また、前記アナログ信号は電流信号であってもよい。

【0025】

上記の電気光学装置において、低消費電力モードの場合には、前記デジタルデータを用いて輝度を設定し、非低消費電力モードの場合には、前記アナログデータを用いて輝度を設定するようにすることが好ましい。

【0026】

上記の電気光学装置において、前記デジタルデータが前記単位回路に供給される際は、輝度レベルは第1レベル及び第2レベルの2値であり、所定時間内の、前記輝度レベルが前記第1レベルあるいは前記第2レベルにある時間の累積の長さによって輝度が決定されることが好ましい。

前記第1レベル及び前記第2レベルとは、例えば、それぞれ、輝度レベルが零の状態と輝度レベルが零以外の所定値である。

【0027】

なお、本発明において、「輝度」とは、「輝度レベル」と所定時間内における当該「輝度レベル」を維持する時間の長さで決定されるものである。例えば、前記所定時間は、観測者の視覚の時間分解能等によって適宜設定される。

【0028】

上記の電気光学装置において、前記電気光学素子は、EL素子であってもよい。

【0029】

上記の電気光学装置において、前記EL素子は、その発光層が有機材料で構成される、いわゆる有機EL素子であってもよい。その他、前記電気光学素子としては、液晶素子、電気泳動素子、電子放出素子等などが挙げられる。

【0030】

本発明の第3の電気光学装置は、表示部を備えた電気光学装置であって、複数の異なる階調方式を利用して、前記表示部に画像を表示することが可能であること、を特徴とする。

上記の電気光学装置において、前記複数の異なる階調方式が切り換えられることが好ましい。例えば、低消費電力を優先する場合は、デジタル階調方式を採用し、表示品位を優先する場合は、アナログ階調を行う。

動画と静止画とで、自動あるいはマニュアルで切り換えてもよい。
切り換えてもよい。

周囲の明るさ等の使用環境に応じて、自動あるいはマニュアルで切り換えてもよい。

【0031】

本発明の第1の電気光学装置の駆動方法は、複数の走査線と、複数のデータ線と、各々

が電気光学素子を含む、複数の単位回路と、をを備えた電気光学装置の駆動方法であって、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成すること、を特徴とする。

【0032】

本発明の第2の電気光学装置の駆動方法は、複数の走査線と、複数のデータ線と複数の単位回路とを備えた電気光学装置の駆動方法であって、第1の表示モード場合には、前記電気光学素子をデジタル階調するためのデジタルを前記複数のデータ線に出力し、第2の表示モードの場合には前記電気光学素子をアナログ階調するためのアナログデータを前記複数のデータ線に出力すること、を特徴とする。

【0033】

上記の前記第1の表示モード及び前記第2の表示モードは使用者が切り換えてもよいし、データ信号の種類、使用時の周囲の明るさ等によって適宜設定される。

【0034】

上記の電気光学装置において、前記デジタル階調は、3値以上の輝度を設定するものであってもよい。

【0035】

上記の電気光学装置の駆動方法の前記デジタル階調において、輝度レベルは第1レベル及び第2レベルの2値であり、所定時間内の、前記輝度レベルが前記前記第1レベルあるいは前記第2レベルにある時間の累積の長さによって輝度が決定されるようにしてもよい。

つまり、いわゆる時分割階調を使用することができる。もちろん、時分割階調の代わりに面積階調等のその他のデジタル階調法も使用することができる。

【0036】

上記の電気光学装置を、例えば、携帯電話等の電子機器の表示部として用いれば、消費電力と表示品位とを両立することができる。

【0037】

例えば、表示品位がそれ程要求されない待ち受け時の画面表示をデジタル階調法で行い、携帯電話のカメラ機能により撮影した画像等の画像イメージをアナログ階調法により表示することも好適な応用例である。

【0038】

あるいは、バッテリーの残量に応じてデジタル階調とアナログ階調とを切り換えてもよい。

【0039】

本発明における電子機器は、上記の電気光学装置を実装した。

これによれば、電子機器は低消費電力と十分な表示品位を両立することができる。

【発明を実施するための最良の形態】

【0040】

[第1実施形態]

以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。

図1は、電気光学装置としての有機ELディスプレイ10の電氣的構成を示すブロック回路図を示す。

【0041】

図1において、有機ELディスプレイ10は、表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14を備えている。

【0042】

有機ELディスプレイ10の表示パネル部11、走査線駆動回路12、データ線駆動回路13及び制御回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、走査線駆動回路12、データ線駆動回路13及び制御回路14が1チップの半導体集積回路装置によって構成されていてもよい。また、表示パネル部11、走査線駆動

回路 12、データ線駆動回路 13 及び制御回路 14 の全部若しくは一部が一体となった電子部品として構成されていてもよい。

【0043】

例えば、表示パネル部 11 に、データ線駆動回路 13 と走査線駆動回路 12 とが一体で形成されていてもよい。走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 の全部若しくは一部がプログラマブルな IC チップで構成され、その機能が IC チップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0044】

表示パネル部 11 は、図 1 に示すように、マトリクス状に配列された複数の電子回路又は単位回路としての画素回路 20 を有している。つまり、画素回路 20 は、その列方向に沿ってのびる複数 (m 本) のデータ線 $X_1 \sim X_m$ (m は整数) と、行方向に沿ってのびる複数 (n 本) の走査線 $Y_1 \sim Y_n$ (n は整数) との交差部に対応して配置されている。

制御回路 14 は、入力信号 D に基づいて走査線駆動回路 12 をデジタル階調を行う際に制御するための第 1 の走査線駆動回路制御信号 S_D 、走査線駆動回路 12 をアナログ階調を行う際に制御するための第 2 の走査線駆動回路制御信号 S_A 、デジタル階調を行う際にデータ線駆動回路 13 に供給する第 1 のデジタル信号 D_D 、及びアナログ階調を行う際にデータ線駆動回路 13 に供給する第 2 のデジタル信号 D_A を生成する。

入力信号 D は、階調に関する信号に加えて、例えば、バッテリーの残量、周囲の明るさ、使用者のデジタル階調を行うデジタルモード及びアナログ階調を行うアナログモードのいずれかを選択するかについての選択信号等に関するデータも含んでいる。

この入力信号 D を基にデジタル階調及びアナログ階調のいずれかを選択する。

デジタル階調を行う際には、第 1 のデジタル信号 D_D は、データ線駆動回路 13 に入力された後、データ線駆動回路 13 によりラッチ等のタイミング調整等が施され、データ線 $X_1 \sim X_m$ に出力されるデジタルデータ $VD_1 \sim VD_m$ に変換される。

上記のタイミング調整等は、データ線駆動回路 13 に含まれる、図 2 に示したデジタルデータ生成回路 13a で行われる。

アナログ階調を行う際には、第 2 のデジタル信号 D_A は、データ線駆動回路 13 に入力された後、データ線駆動回路 13 によりデジタルーアナログ変換が行われ、データ線 $X_1 \sim X_m$ に出力されるアナログデータ電流 $IA_1 \sim IA_m$ に変換される。

上記のデジタルーアナログ変換等のデータの加工は、データ線駆動回路 13 に含まれる、図 2 に示したアナログデータ電流出力回路 13b で行われる。

【0045】

図 2 に示したように、画素回路 20 には発光層が有機材料で構成された有機 EL 素子 21 (図 2 参照) を有している。尚、画素回路 20 内に形成されている後述するトランジスタは、通常は薄膜トランジスタ (TFT) で構成している。

【0046】

画素回路 20 は、第 1 スイッチングトランジスタ Q_1 、第 2 スイッチングトランジスタ Q_2 、駆動トランジスタ Q_3 、変換トランジスタ Q_4 、リセットトランジスタ Q_5 及び容量素子としての保持キャパシタ C_1 を備えている。

【0047】

第 1 及び第 2 スイッチングトランジスタ Q_1 、 Q_2 及びリセットトランジスタ Q_5 は、N チャネル型トランジスタよりなる構成されている。駆動トランジスタ Q_3 及び変換トランジスタ Q_4 は、P チャネル型トランジスタよりなる構成されている。

【0048】

駆動トランジスタ Q_3 は、ドレインが有機 EL 素子 21 の陽極に接続され、ソースが電源線 L_1 に接続されている。電源線 L_1 には、有機 EL 素子 21 を駆動させるための電源電圧 $VOEL$ が供給されている。

【0049】

駆動トランジスタ Q_3 のゲートは保持キャパシタ C_1 の一端に接続され、保持キャパシタ C_1 の一端は第 1 スイッチングトランジスタ Q_1 を介してデータ線 X_m に接続されてい

る。

【0050】

保持キャパシタC1の他端は、電源線L1を介して電源電圧VOELが印加されている。また、駆動トランジスタQ3のゲートは、変換トランジスタQ4のゲートに接続されており、変換トランジスタQ4のソースは、電源線L1を介して電源電圧VOELが印加されている。

【0051】

変換トランジスタQ4のゲートとドレインとの間には、第2スイッチングトランジスタQ2が接続されている。変換トランジスタQ4のドレインは第2スイッチングトランジスタQ2及び第1スイッチングトランジスタQ1を介してデータ線Xmに接続されている。

【0052】

第1スイッチングトランジスタQ1のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、第1の副走査線Yn1から第1走査信号SCn1が入力される。

【0053】

第2スイッチングトランジスタQ2のゲートは、走査線Ynを構成する第2の副走査線Yn2に接続され、第2の副走査線Yn2からの第2走査信号SCn2が入力される。

第1スイッチングトランジスタQ1及び第2スイッチングトランジスタQ2が、それぞれの第1走査信号SCn1及び第2走査信号SCn2に基づいて後述するように導通制御される。

【0054】

保持キャパシタC1の両端子間には、リセットトランジスタQ5が接続されている。リセットトランジスタQ5のゲートは、走査線Ynを構成する第3の副走査線Yn3に接続され、第3の副走査線Yn3からの第3走査信号SCn3が入力される。

【0055】

リセットトランジスタQ5が第3走査信号SCn3に基づいてオン状態となると、リセットトランジスタQ5を介して電源線L1からの電源電圧VOELが保持キャパシタC1の一端に印加される。保持キャパシタC1の一端に電源電圧VOELが印加されると、保持キャパシタC1はリセットされ、駆動トランジスタQ3はオフ状態となる。

【0056】

データ線Xmとデジタルデータ出力回路13a及びアナログデータ電流出力回路13bとの導通制御は、それぞれ第1スイッチQ11及び第2スイッチQ12により行われる。

【0057】

デジタル階調時は、第1スイッチQ11のオン・オフ制御が行われ、アナログ階調時は、第2スイッチQ12のオン・オフ制御が行われるので、有機ELディスプレイ10のデジタル階調時は、デジタルデータVDmをデータ線Xmに出力し、アナログ階調時は、アナログデータ電流IAmをデータ線Xmに出力する。

【0058】

以下、図3を用いて、本実施形態で用いられるデジタル階調方式である時分割階調法について説明する。

【0059】

図3に示すように、1画像を表示するための走査(1フレーム)を、6つのサブフレームSF1～SF6に分割している。そして、サブフレームSF1～SF6の各々において、有機EL素子21は発光状態及び非発光状態のいずれかに設定される。サブフレームSF1～SF6の各々はリセット動作により終了する。

【0060】

サブフレームSF1～SF6はそれぞれ発光期間(発光時間)TL1～TL6からなり、これら発光期間TL1～TL6は以下のように設定している。

TL1:TL2:TL3:TL4:TL5:TL6=1:2:4:8:16:32となる時間比を設定している。

【0061】

例えば、「7」の階調は、第1～第3サブフレームSF1～SF3において、有機EL素子21を発光させ、第4～第6サブフレームSF4～SF6の時に、有機EL素子21を非発光状態とすることにより得られる。

【0062】

又、「32」の階調は、第6サブフレームSF6において、有機EL素子21を発光状態とし、第1～第5サブフレームSF1～SF5において、有機EL素子21を非発光状態とすることにより得られる。

【0063】

このようにして、1フレーム毎にサブフレームSF1～SF6の各々において、有機EL素子21を発光状態及び非発光状態のいずれかを選択することで、中間調を得ることができる。

【0064】

図4を用いて、本実施形態における時分割階調をより詳細に説明する。まず、第1走査信号SCn1をHレベルとして第1スイッチングトランジスタQ1をオン状態とし、これに呼応して2値のデジタルデータVDmが、第1スイッチングトランジスタQ1を介して保持キャパシタC1に供給され、保持キャパシタC1に2値のデジタルデータVDmに相応した電荷量が蓄積される。この時、リセットトランジスタQ5はオフ状態としおく。

因みに駆動トランジスタQ3がPチャネル型であるため、Lレベルの2値のデジタルデータVDmにより有機EL素子21は発光状態となり、Hレベルの2値の電圧データVDmにより有機EL素子21は非発光状態となる。

【0065】

デジタルデータVDmに相応する保持キャパシタC1に蓄積された電荷は、リセットトランジスタQ5をオン状態として保持キャパシタC1に電源電圧VOELを供給することによりリセットされる。これが上述のリセット動作である。

【0066】

本実施形態では、変換トランジスタQ4のドレインとゲートとの電氣的接続を制御する第2スイッチングトランジスタQ2は、時分割階調を行っている期間はオフ状態としおく。

【0067】

なお、リセット動作は、リセットトランジスタQ5を用いずとも行うことは可能である。つまり、第2スイッチングトランジスタQ2をオン状態とすれば、駆動トランジスタQ3のゲートとドレインとが電氣的に接続され、ゲートに電源電圧から駆動トランジスタQ3の閾値電圧を引いた分の電圧VOEL-Vthが印加される。これにより、駆動トランジスタQ3はオフ状態となる。

また、駆動トランジスタQ3と有機EL素子21との間に駆動トランジスタQ3と有機EL素子21との導通を制御する期間制御用トランジスタを設けてもよい。この場合は、この期間制御用トランジスタのオン状態及びオフ状態の期間の長さを所望の階調に応じて設定すれば良いので、サブフレーム毎にデータ信号を供給する必要は特にはない。

【0068】

上記2値の電圧データのそれぞれは、例えば、駆動トランジスタQ3の抵抗値が最小値と最大値に対応させて設定することが好ましい。すなわち、有機EL素子21の輝度の最小値と最大値に対応させて設定することが好ましい。

なお、駆動トランジスタQ3として薄膜トランジスタを用いると飽和領域が明瞭でない場合があるが、その場合、上記2値の電圧データを上記2値のデータは所望の輝度の範囲の下限値及び上限値に対応して設定してもよい。

【0069】

一方、画素回路20においてアナログ階調が以下のように行われる。

【0070】

図5に示すように、第1及び第2スイッチングトランジスタQ1、Q2を共にオン状態とすることにより、変換トランジスタQ4にアナログデータ電流IAmが通過する。これに

より変換トランジスタQ4のゲートに接続された保持キャパシタC1は、アナログデータ電流I_{Am}に相応した電荷量を保持することになり、保持キャパシタC1にゲートが接続された駆動トランジスタQ3がアナログデータ電流I_{Am}に応じた導通状態に設定される。

【0071】

上述のプロセスで設定された駆動トランジスタQ3の導通状態に応じた電流が、有機EL素子21に供給され、発光する。

【0072】

本実施形態では、アナログ階調を行っている期間は、リセットトランジスタQ5をオフ状態としているので、画素回路20にアナログデータ電流I_{Am}が供給されてから、次に当該画素回路20にアナログデータ電流I_{Am}までの期間を発光期間として利用している。

【0073】

ところで、アナログ階調を行う際も、上述のデジタル階調を行う場合と同様、リセット動作を行ってもよい。リセット動作の方法として、上述のデジタル階調方法と同様なものが採用可能である。

アナログ階調においてもリセット動作を行うことにより、動画特性の向上やアナログデータの書き込みの時間を短縮することができる。

[第2実施形態]

【0074】

次に、第2実施形態について図6に従って説明する。本実施形態は、画素回路20に特徴があるため、説明の便宜上画素回路20についてのみ説明する。

【0075】

図6において、画素回路20は、駆動トランジスタQ3、第1及び第2スイッチングトランジスタQ31、Q32、期間制御用トランジスタQ34、リセットトランジスタQ5及び保持キャパシタC1を有している。

【0076】

駆動トランジスタQ3は、Pチャネル型トランジスタである。第1及び第2スイッチングトランジスタQ31、Q32、期間制御用トランジスタQ34及びリセットトランジスタQ5は、Nチャネル型トランジスタより構成されている。

【0077】

駆動トランジスタQ3のドレイン及びソースは、それぞれ期間制御用トランジスタQ34を介して有機EL素子21の画素電極及び電源線L1に接続されている。電源線L1には、有機EL素子21を駆動する電源電圧V_{OEL}が供給されている。

駆動トランジスタQ3のゲートと電源線L1との間には、保持キャパシタC1が接続されている。また、駆動トランジスタQ3のゲートと電源線L1との間には、リセットトランジスタQ5が接続されている。さらに、駆動トランジスタQ3のゲートは、第1スイッチングトランジスタQ31を介してデータ線X_mと接続されている。

【0078】

駆動トランジスタQ3のドレインは第2スイッチングトランジスタのドレインに接続されており、第1スイッチングトランジスタQ31及び第2スイッチングトランジスタQ32を介してデータ線X_mに電氣的に接続される。

第1スイッチングトランジスタQ31のゲートは、走査線Y_nを構成する第4の副走査線Y_{n4}に接続され、第1の副走査線Y_{n1}を介して供給される第4走査信号S_{Cn4}により制御される。

【0079】

第2スイッチングトランジスタQ32のゲートは第1の副走査線Y_{n1}に接続され、第1の副走査線Y_{n1}を介して供給される第1走査信号S_{Cn1}により制御される。

期間制御用トランジスタQ34のゲートは、走査線Y_nを構成する第2の副走査線Y_{n2}に接続され、第2の副走査線Y_{n2}を介して供給される第2走査信号S_{Cn2}が入力される。期間制御用トランジスタQ34がオン状態となると、駆動トランジスタQ3と有機EL素子21とが電氣的に接続され、駆動トランジスタQ3の導通状態に応じた電流が有

機EL素子21に供給される。

【0080】

リセットトランジスタQ5のゲートは、走査線Y_nを構成する第3の副走査線Y_{n3}に接続され、第3の副走査線Y_{n3}を介して供給される第3走査信号SC_{n3}により制御される。

リセットトランジスタQ5がオン状態となると、リセットトランジスタQ5を介して電源線L1と駆動トランジスタQ3のゲートとが電氣的に接続され、電源電圧VOELが駆動トランジスタQ3のゲート印加される。これにより、保持キャパシタC1はリセットされ、駆動トランジスタQ3がオフ状態となる。

【0081】

このように構成された画素回路20における時分割階調が以下のように行われる。

図7に示すように、サブフレームSF1～SF6において、Hレベルの第2走査信号SC_{n2}に基づいて期間制御用トランジスタQ34をオン状態に保持させるとともに、Lレベルの第3走査信号SC_{n3}に基づいてリセットトランジスタQ5をオフ状態に保持させる。この状態において、Hレベルの第1走査信号SC_{n1}に基づいて第2スイッチングトランジスタQ32がオン状態になる。

【0082】

第2スイッチングトランジスタQ32がオン状態となると、データ線X_mからデジタルデータVD_mが供給され保持キャパシタC1に供給される。このデジタルデータVD_mは、2値、即ち、上記の実施形態と同様な有機EL素子21の輝度の最小値と最大値（または下限値と上限値）のいずれかを設定するためのデータであって、駆動トランジスタQ3の抵抗値を最小値と最大値のいずれかにするためのデータである。

【0083】

そして、前記駆動トランジスタQ3は、蓄積されるデジタルデータVD_mに基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動トランジスタQ3がオン状態のとき、有機EL素子21は駆動電流が供給され、発光する。反対に、駆動トランジスタQ3がオフ状態のとき、有機EL素子21に対する駆動電流の供給は行われない。

【0084】

次に、第3の副走査線Y_{n3}に第3走査信号SC_{n3}がサブフレームSF1～SF6に応じたタイミングで出力されると、リセットトランジスタQ5がオフ状態からオン状態となる。リセットトランジスタQ5がオン状態となると、電源線L1から電源電圧VOELが同リセットトランジスタQ5を介して保持キャパシタC1に印加され先のデジタルデータVD_mは消去されるとともに、駆動トランジスタQ3はオフ状態となる。

【0085】

これにより有機EL素子21の発光が停止し、サブフレームが終了する。そして、次に実行される発光動作を待つ。つまり、時分割階調が行われる時、画素回路20の有機EL素子21の発光期間TL1～TL6は、第1走査信号SC_{n1}が出力されてから第3走査信号SC_{n3}が出力されるまでの期間に対応する。

【0086】

一方、画素回路20において、有機EL素子21に多値のデータ電流に応じた電流レベルの電流を供給する駆動トランジスタQ3を階調に応じた導通状態するアナログ階調が以下のように行われる。図8に示すように、第1及び第2スイッチングトランジスタQ31、Q32、及び、期間制御用トランジスタQ34を所定のタイミングでオン・オフ制御することによってアナログ階調が行われる。このとき、リセットトランジスタQ5をオフ状態に保持しておく。

【0087】

つまり、第1の副走査線Y_{n1}及び第4の副走査線Y_{n4}にHレベルの第1走査信号SC_{n1}及び第4走査信号SC_{n4}が出力されると、第1及び第2スイッチングトランジスタQ31、Q32は共にオン状態となる。これによって、データ線X_mからアナログデータ電流I_{Am}が第1及び第2スイッチングトランジスタQ31、Q32を介して供給される

この時、駆動トランジスタQ3にもアナログデータ電流 I_{Am} が通過し、駆動トランジスタQ3のゲートに接続された保持キャパシタC1に、アナログデータ電流 I_{Am} に基づく電荷量を保持され、駆動トランジスタQ3の導通状態が設定される。

【0088】

続いて、期間制御用トランジスタ34が第2走査信号 SC_n2 に応答してオン状態となると、駆動トランジスタQ3のアナログデータ電流 I_{Am} によって設定された導通状態に応じた駆動電流が有機EL素子21に供給される。有機EL素子21は、供給される駆動電流に基づいて設定した輝度階調で発光する。

【0089】

このように、本実施形態も上述の第1実施形態と同様に、例えば、文字等の多階調表示を必要としない場合にはデジタル階調で、アニメ、ムービーのような多階調表示する場合にはアナログ階調でその中間調を表現することができる。従って、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現でき、低消費電力と十分な表示品位を両立することができる有機ELディスプレイ10を提供することができる。

【0090】

又、第2実施形態によれば、デジタルデータ $VD1 \sim VDm$ とアナログデータ電流 $I_{A1} \sim I_{Am}$ をそれぞれ同一のデータ線 $X1 \sim Xm$ を介して画素回路20に供給されるようにしたので、表示パネル部11に形成される配線の数減らすことができる。

【0091】

尚、本実施形態では、アナログ階調モードにおいて、リセットトランジスタQ5は終始オフ状態に保持していた。これを、アナログデータ電流 $I_{A1} \sim I_{Am}$ の書き込みの前に、リセットトランジスタQ5をオンさせて発光期間を終了させるように実施してもよい。

[第3実施形態]

【0092】

次に、第3実施形態について図9に従って説明する。本実施形態は、画素回路20に特徴があるため、説明の便宜上画素回路20についてのみ説明する。

【0093】

図9において、画素回路20は、駆動トランジスタQ3、第1及び第2スイッチングトランジスタQ41、Q42、期間制御用トランジスタQ44、第3のトランジスタとしての補償用トランジスタQ45、リセットトランジスタQ5及び保持キャパシタC1を有している。駆動トランジスタQ3は、Pチャネル型トランジスタより構成されている。第1及び第2スイッチングトランジスタQ41、Q42、期間制御用トランジスタQ44、補償用トランジスタQ45及びリセットトランジスタQ5は、Nチャネル型トランジスタにより構成されている。

【0094】

駆動トランジスタQ3は、ドレインが有機EL素子21の画素電極に接続されて、ソースが期間制御用トランジスタQ44を介して電源線L1に接続されている。電源線L1には、有機EL素子21を駆動させるための電源電圧 V_{OEL} が供給されている。駆動トランジスタQ3のゲートと電源線L1には、保持キャパシタC1が接続されている。また、駆動トランジスタQ3のゲートと電源線L1との間には、リセットトランジスタQ5が接続されている。

【0095】

さらに、駆動トランジスタQ3のゲートは、第1スイッチングトランジスタQ41を介してデータ線 X_m と接続されている。さらに又、駆動トランジスタQ3のソースは、第2スイッチングトランジスタQ42を介してデータ線 X_m と接続されている。駆動トランジスタQ3のゲートとドレインの間には、補償用トランジスタQ45が接続されている。

【0096】

第1スイッチングトランジスタQ41のゲートは、走査線 Y_n を構成する第5の副走査

線 Y_n5 に接続され、第 5 の副走査線 Y_n5 から第 5 走査信号 SC_n5 が入力される。そして、第 1 スイッチングトランジスタ Q_{41} が、第 5 走査信号 SC_n5 に基づいてオン状態となると、データ線 X_m から供給されるデジタルデータ VD_m が第 1 スイッチングトランジスタ Q_{41} を介して保持キャパシタ C_1 に供給されるようになっている。

【0097】

第 2 スイッチングトランジスタ Q_{42} のゲートは、走査線 Y_n を構成する第 1 の副走査線 Y_n1 に接続され、第 1 の副走査線 Y_n1 から第 1 走査信号 SC_n1 が入力される。そして、第 2 スイッチングトランジスタ Q_{42} が、第 1 走査信号 SC_n1 に基づいてオン状態となると、データ線 X_m からアナログデータ電流 I_{Am} 第 2 スイッチングトランジスタ Q_{42} を通過する。この時、補償用トランジスタ Q_{45} がオン状態であれば、駆動トランジスタ Q_3 のドレインとゲートとが電氣的に接続され、アナログデータ電流 I_{Am} に応じた電荷量がキャパシタ C_1 に蓄積される。

【0098】

期間制御用トランジスタ Q_{44} のゲートは、走査線 Y_n を構成する第 3 の副走査線 Y_n3 に接続され、その第 3 の副走査線 Y_n3 からの第 3 走査信号 SC_n3 が入力される。そして、期間制御用トランジスタ Q_{44} は、第 3 走査信号 SC_n3 に基づいてオンされると、駆動トランジスタ Q_3 の導通状態に応じた有機 EL 素子 21 に駆動電流を供給するようになっている。

【0099】

リセットトランジスタ Q_5 のゲートは、走査線 Y_n を構成する第 4 の副走査線 Y_n4 に接続され、第 4 の副走査線 Y_n4 からの第 4 走査信号 SC_n4 が入力される。そして、リセットトランジスタ Q_5 は、第 4 走査信号 SC_n4 に基づいてオンされると、リセットトランジスタ Q_5 を介して電源線 L_1 からの電源電圧 $VOEL$ を保持キャパシタ C_1 の一端に印加する。保持キャパシタ C_1 の一端に電源電圧 $VOEL$ が印加されると、保持キャパシタ C_1 はリセットされ、駆動トランジスタ Q_3 をオフ状態にする。

【0100】

このように構成された画素回路 20 において、時分割階調が以下のように行われる。

【0101】

図 10 に示すように、第 2 スイッチングトランジスタ Q_{42} 期間制御用トランジスタ Q_{44} をオン状態に保持する。第 2 スイッチングトランジスタ Q_{42} 及び補償用トランジスタ Q_{45} をオフ状態に保持させる。

【0102】

この状態において、H レベルの第 5 走査信号 SC_n5 に基づいて第 1 スイッチングトランジスタ Q_{41} をオン状態とし、データ線 X_m からデジタルデータ VD_m が供給され保持キャパシタ C_1 に供給される。

このデジタルデータ VD_m は、上述の実施形態と同様に、有機 EL 素子 21 の輝度の最小値と最大値（または下限値と上限値）のいずれかを設定するためのデータであって、駆動トランジスタ Q_3 の抵抗値を最小値と最大値のいずれかにするためのデータである。

【0103】

そして、駆動トランジスタ Q_3 は、蓄積されるデジタルデータ VD_m に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動トランジスタ Q_3 がオン状態のとき、有機 EL 素子 21 は駆動電流が供給され発光する。反対に、駆動トランジスタ Q_3 がオフ状態のとき、有機 EL 素子 21 には駆動電流が供給が供給されない。

【0104】

次に、第 4 の副走査線 Y_n4 にリセットトランジスタ Q_5 をオン状態とする第 4 走査信号 SC_n4 がサブフレーム $SF_1 \sim SF_6$ に応じたタイミングで出力されると、リセットトランジスタ Q_5 がオフ状態からオン状態となる。リセットトランジスタ Q_5 がオン状態となると、電源線 L_1 から電源電圧 $VOEL$ がリセットトランジスタ Q_5 を介して保持キャパシタ C_1 に印加され、駆動トランジスタ Q_3 のゲートは電源電圧 $VOEL$ の電位となる。

【0105】

保持キャパシタ C 1 がリセットされると、駆動トランジスタ Q 3 はオフ状態となり、先のデジタルデータ V_{Dm} に基づいて発光していた有機 EL 素子 2 1 がその発光を停止する。そして、次に実行される発光動作を待つ。

【0106】

一方、画素回路 2 0 において、アナログ階調が以下のように行われる。

図 1 1 に示すように、L レベルの第 4 走査信号 $SC_n 4$ に基づいてリセットトランジスタ Q 5 がオフ状態に保持する。そして、第 2 スイッチングトランジスタ Q 4 1, Q 4 2、期間制御用トランジスタ Q 4 4 及び補償用トランジスタ Q 4 5 とを所定のタイミングでオン・オフ制御することによってアナログ階調が行われる。

【0107】

つまり、リセットトランジスタ Q 5 及び期間制御用トランジスタ Q 4 4 がオフ状態において、第 2 スイッチングトランジスタ Q 4 2 及び補償用トランジスタ Q 4 5 をオン状態とすると、アナログデータ電流 I_{Am} が駆動トランジスタ Q 3 を通過し、駆動トランジスタ Q 3 のゲート電位は、アナログデータ電流 I_{Am} に相当した電位となり、駆動トランジスタ Q 3 の導通状態が設定される。

【0108】

続いて、第 2 スイッチングトランジスタ Q 4 2 及び補償用トランジスタ Q 4 5 をオフ状態として、期間制御用トランジスタ Q 4 4 をオン状態とすると、先のステップで設定された駆動トランジスタ Q 3 の導通状態に相応する電流が有機 EL 素子 2 1 に供給される。

【0109】

尚、本実施形態では、アナログ階調モードにおいて、リセットトランジスタ Q 5 は終始オフ状態に保持していた。これを、次のアナログデータ電流 I_{Am} の書き込みの前に、リセットトランジスタ Q 5 をオンさせて発光期間を終了させるようにしてもよい。

[第 4 実施形態]

【0110】

次に、第 1 実施形態で説明した電気光学装置としての有機 EL ディスプレイ 1 0 を搭載した電子機器の適用について図 1 2 及び図 1 3 に従って説明する。有機 EL ディスプレイ 1 0 は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0111】

図 1 2 は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図 1 2 において、パーソナルコンピュータ 6 0 は、キーボード 6 1 を備え本体部 6 2 と、前記有機 EL ディスプレイ 1 0 を用いた表示ユニット 6 3 を備えている。

この場合でも、有機 EL ディスプレイ 1 0 を用いた表示ユニット 6 3 は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ 6 0 は、低消費電力と十分な表示品位の両立を実現することができる。

【0112】

図 1 3 は、携帯電話の構成を示す斜視図を示す。図 1 3 において、携帯電話 7 0 は、複数の操作ボタン 7 1、受話口 7 2、送話口 7 3、前記有機 EL ディスプレイ 1 0 を用いた表示ユニット 7 4 を備えている。この場合でも、有機 EL ディスプレイ 1 0 を用いた表示ユニット 7 4 は前記実施形態と同様な効果を発揮する。その結果、携帯電話 7 0 は、低消費電力と十分な表示品位の両立を実現することができる。

【0113】

上述の実施形態では、デジタル階調において、電圧データ V_{Dm} に応じた電荷量を保持キャパシタ C 1 に保持した後、保持キャパシタ C 1 に蓄積された電荷量をリセットすることにより各サブフレームを終了させ、各サブフレームの期間の長さを設定している。

【0114】

これに代えて、有機 EL 素子 2 1 に非順バイアスが印加されるように対向電極の電位を設定した状態でデータ電圧を書き込みを行うとともに、各サブフレームを有機 EL 素子 2 1 に非順バイアスを印加して終了するようにして、各サブフレームの期間の長さを設定し

てもよい。

さらに、デジタル階調の一つとして、面積階調で実施してもよい。つまり、画素回路 20 をサブ画素としてそのサブ画素の複数個を組にする。そして、その組に属するサブ画素の適宜の数をそれぞれ非発光、発光の 2 つの状態に制御することによって、中間調を表現するようにしてもよい。

【0115】

上記の実施形態では、デジタルデータ $VD1 \sim VDm$ とアナログデータ電流 $IA1 \sim IA_m$ をそれぞれ同一のデータ線 $X1 \sim X_m$ を介して画素回路 20 に供給されるようにしたが、それぞれ別々のデータ線を設けて実施してもよい。

【0116】

上記の実施形態では、電子回路として画素回路 20 に具体化して好適な効果を得たが、有機 EL 素子 21 以外の例えば LED や FED、電子放出素子、無機 EL 素子等の電気光学素子を駆動する電子回路に具体化してもよい。

【産業上の利用可能性】

【0117】

本発明の電気光学装置は、携帯電話等の携帯機器の表示装置として特に好適である。

【図面の簡単な説明】

【0118】

【図 1】 第 1 実施形態を説明するための有機 EL ディスプレイの回路構成を示すブロック回路図。

【図 2】 同じく画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

。

【図 3】 時分割階調における順次点灯同時消去法を説明するための説明図。

【図 4】 時分割階調における走査線の選択を説明するためのタイミングチャート。

【図 5】 アナログ階調における走査線の選択を説明するためのタイミングチャート。

【図 6】 第 2 実施形態を説明するための画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 7】 第 2 実施形態における時分割階調による走査線の選択を説明するためのタイミングチャート。

【図 8】 第 2 実施形態におけるアナログ階調による走査線の選択を説明するためのタイミングチャート。

【図 9】 第 3 実施形態を説明するための画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 10】 第 3 実施形態における時分割階調による走査線の選択を説明するためのタイミングチャート。

【図 11】 第 3 実施形態におけるアナログ階調による走査線の選択を説明するためのタイミングチャート。

【図 12】 第 4 実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図。

【図 13】 第 4 実施形態を説明するための携帯電話の構成を示す斜視図。

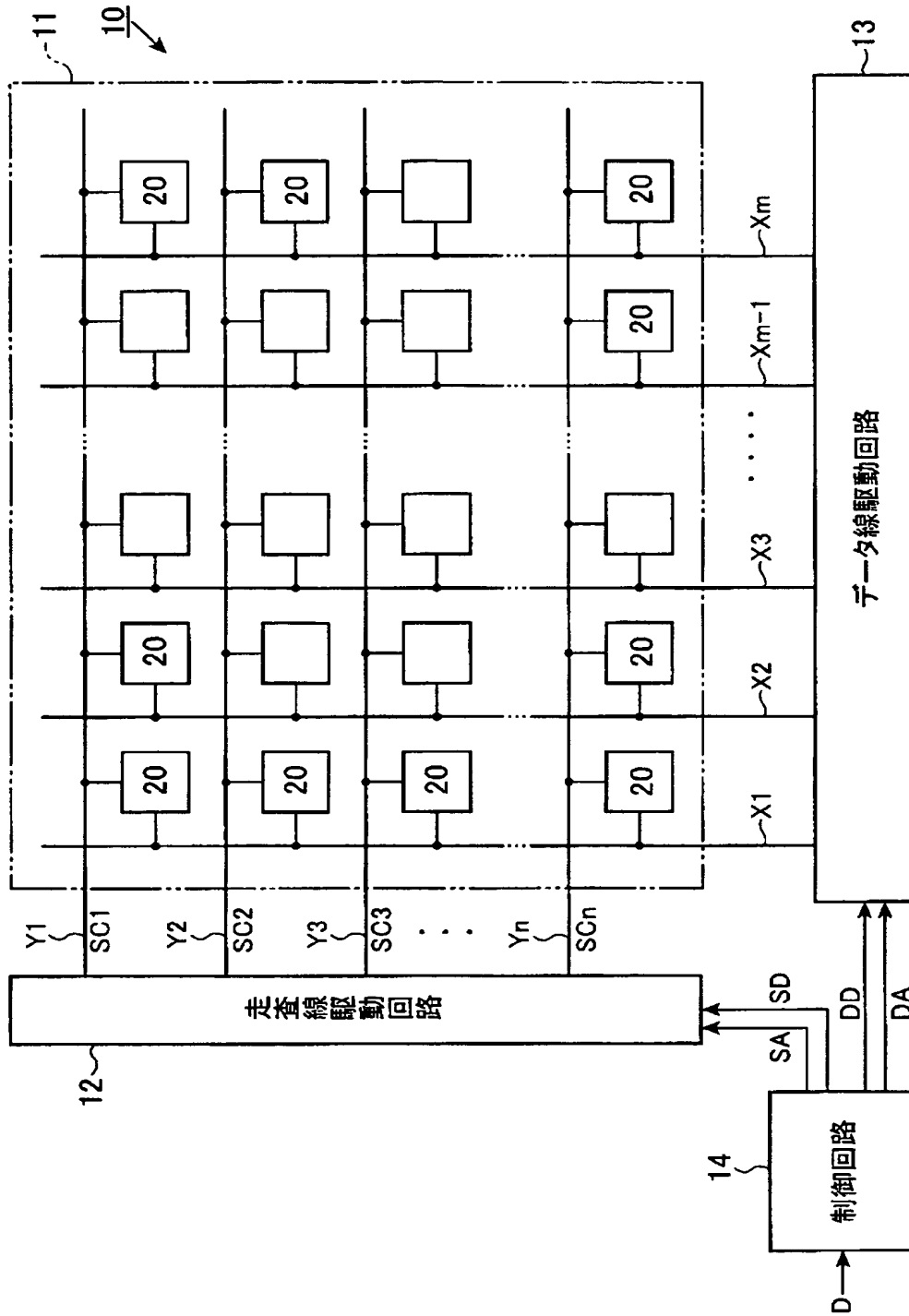
【符号の説明】

【0119】

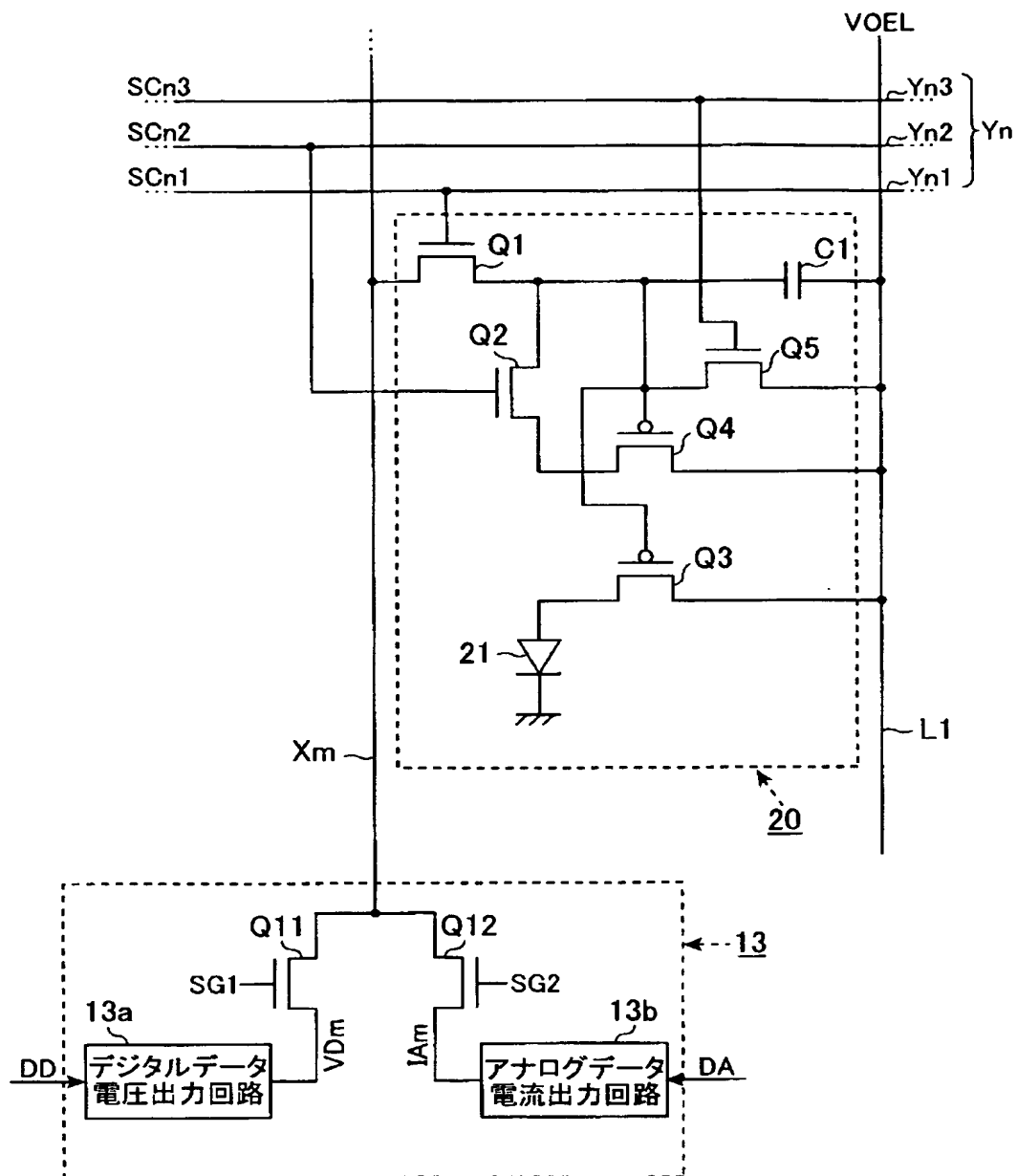
- 10 電気光学装置としての有機 EL ディスプレイ
- 11 表示パネル部
- 12 データ線駆動回路
- 13 走査線駆動回路
- 14 制御手段としての制御回路
- 20 電子回路又は単位回路としての画素回路
- 21 電子素子又は電気光学素子としての有機 EL 素子
- 13a データ電圧出力回路としてのデジタルデータ出力回路

1 3 b データ電流出力回路としてのアナログデータ電流出力回路
Y 1 ~ Y n 走査線
X 1 ~ X m データ線
S C n 走査信号
D 入力データ
V D 1 ~ V D m デジタルデータ
I A 1 ~ I A m アナログデータ電流

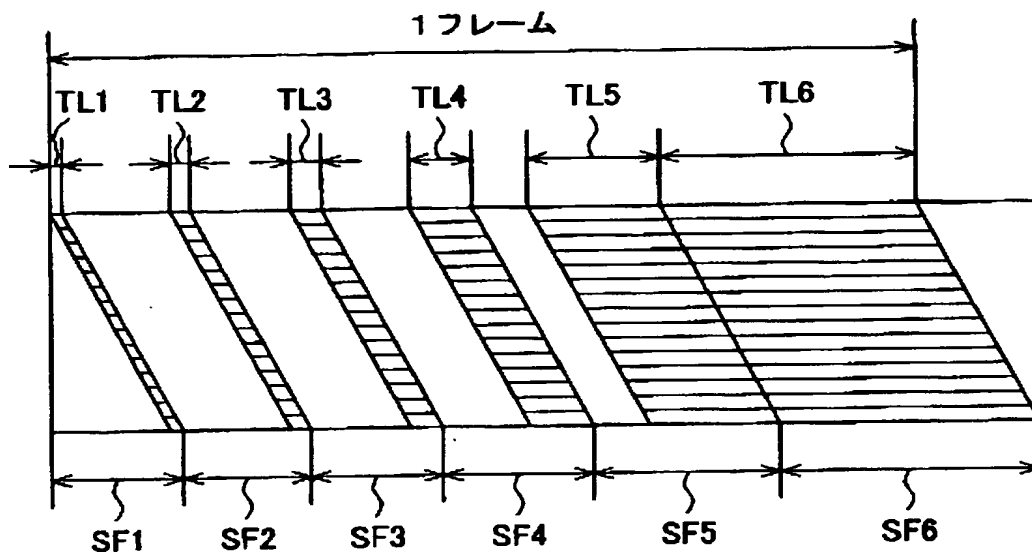
【書類名】 図面
【図 1】



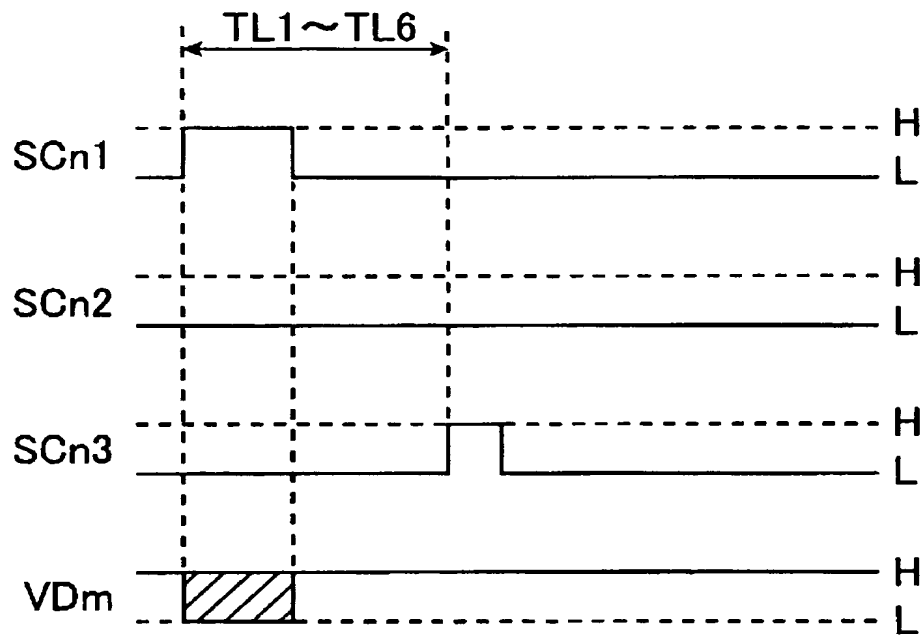
【図 2】



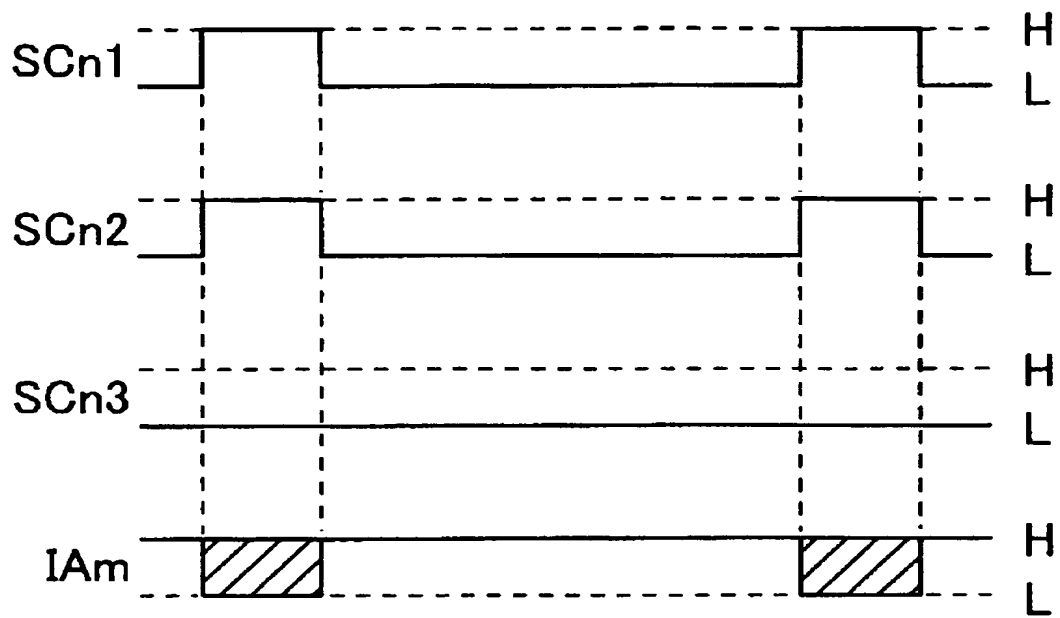
【図 3】



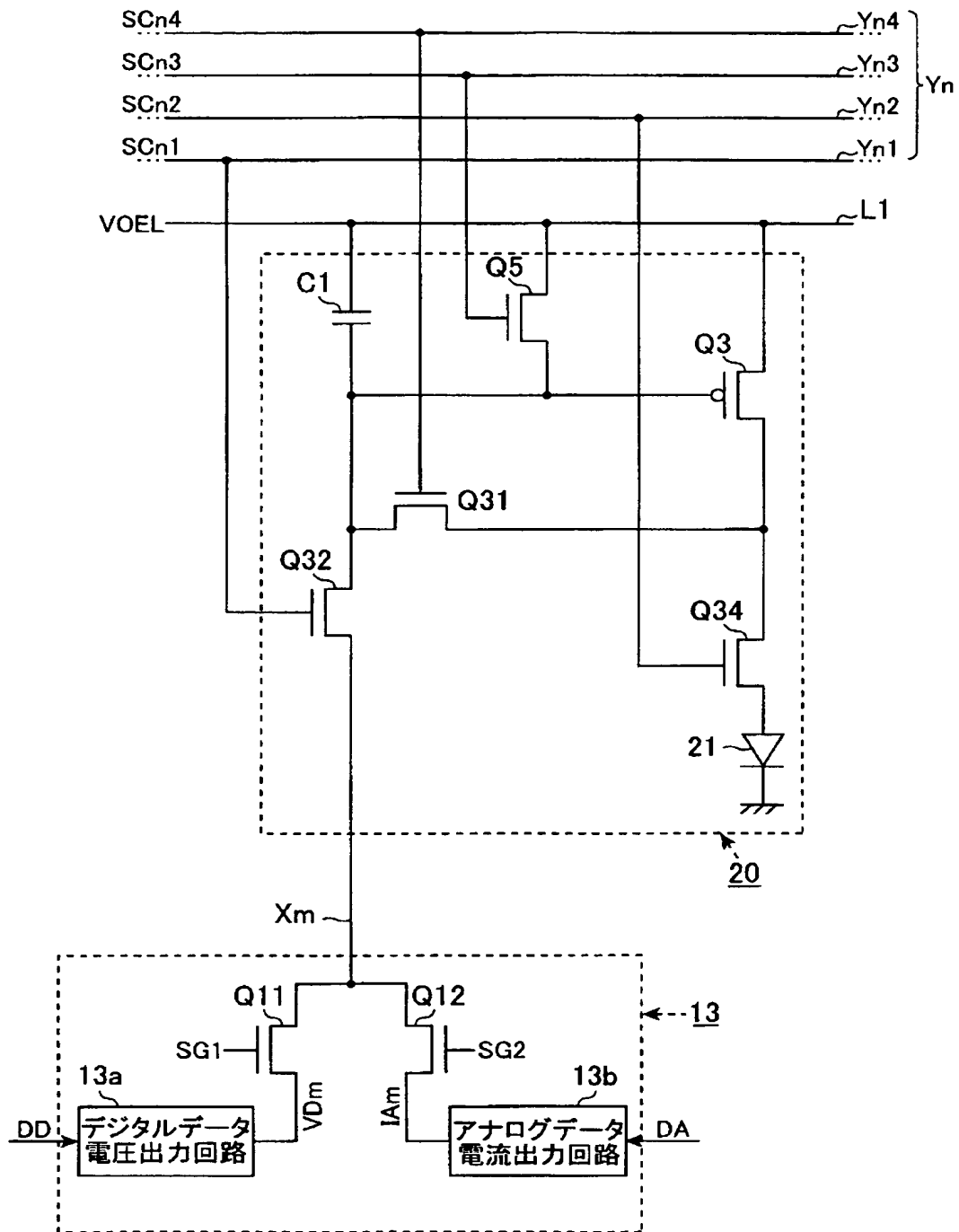
【図 4】



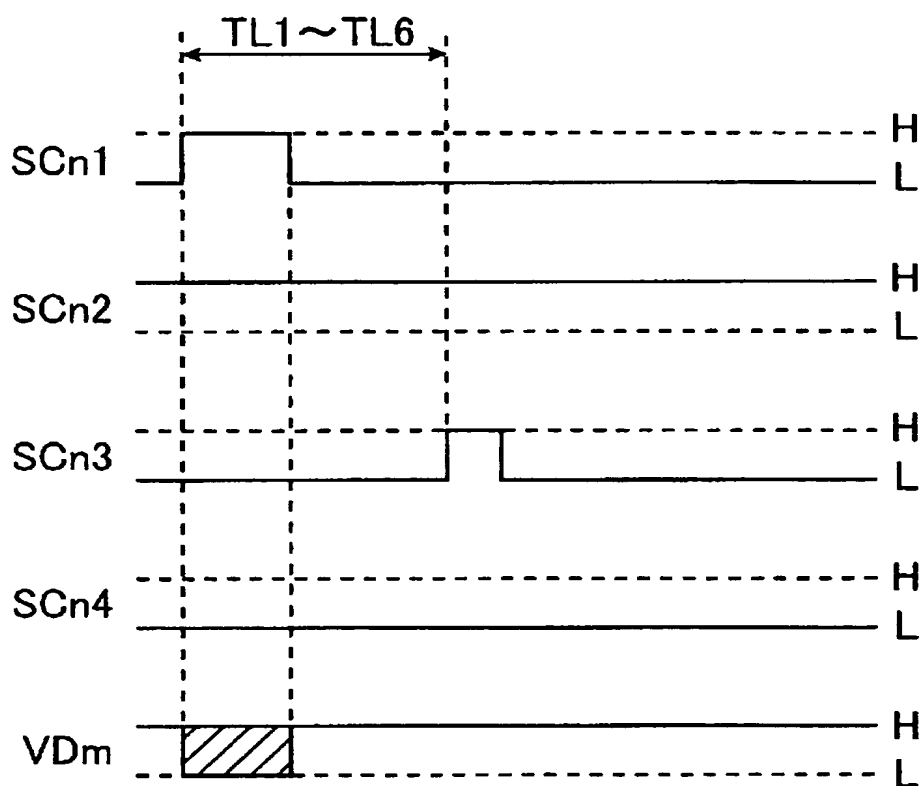
【図 5】



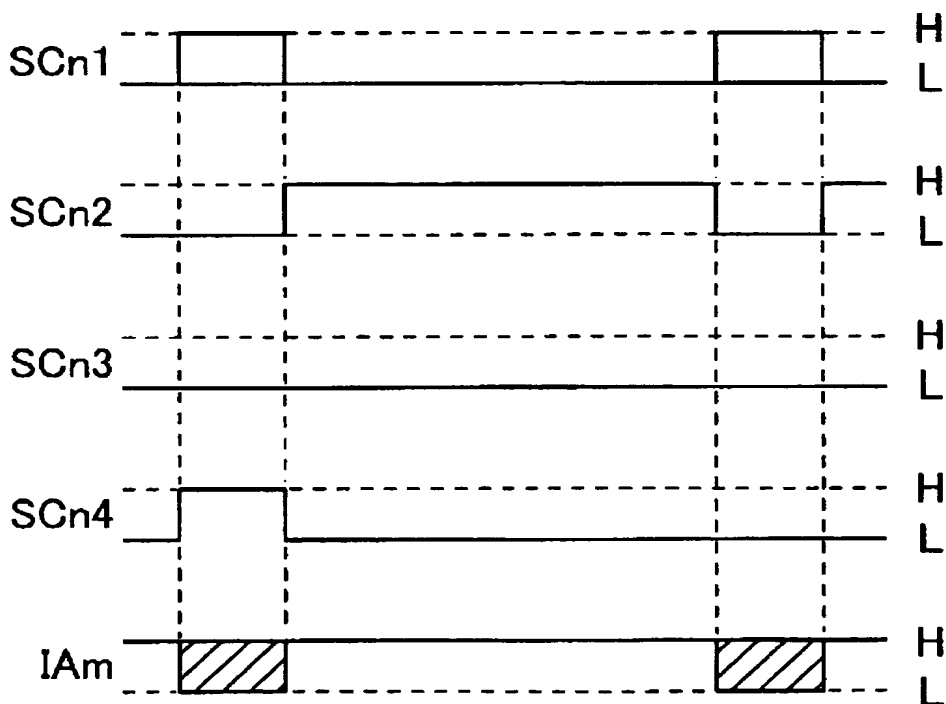
【図 6】



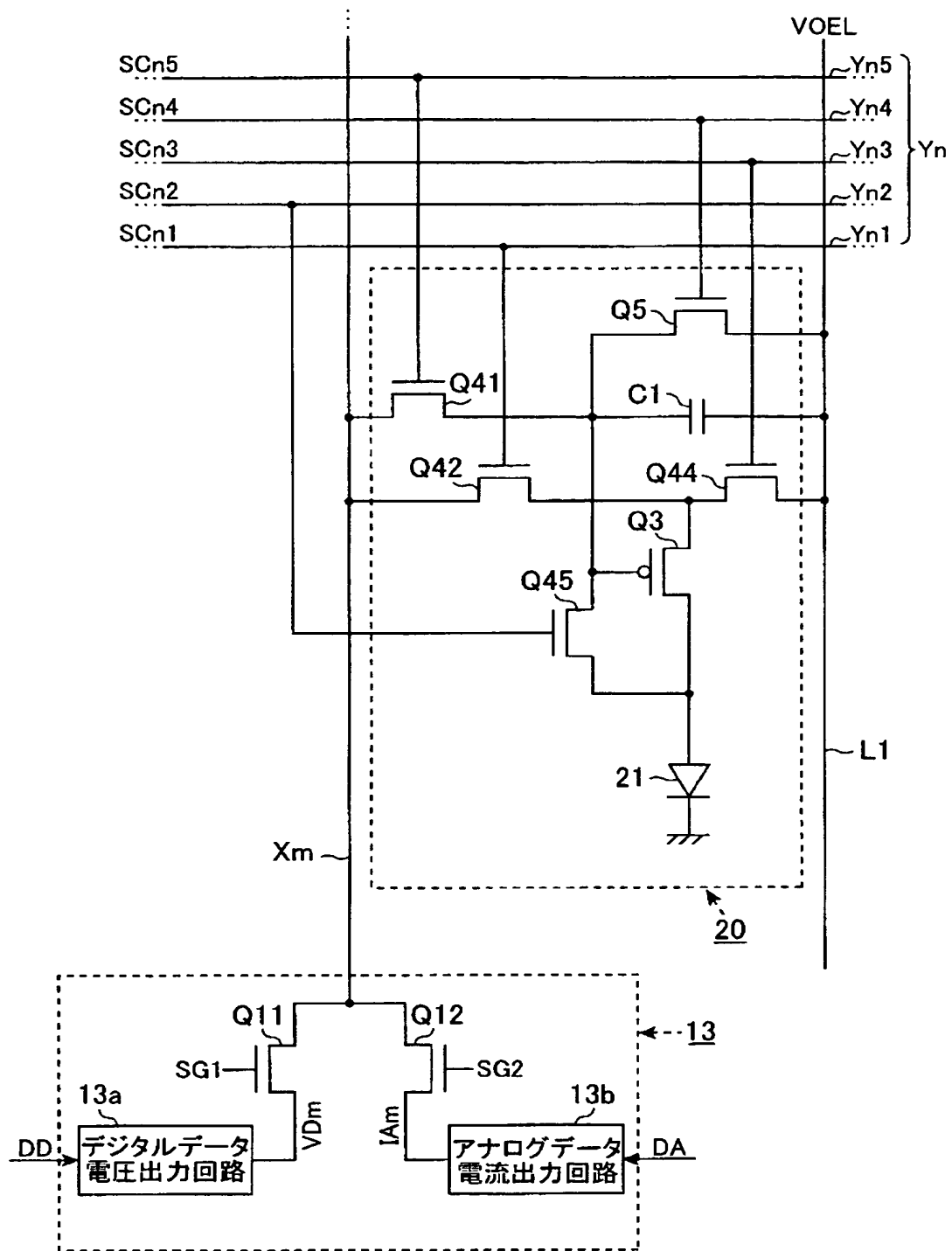
【図 7】



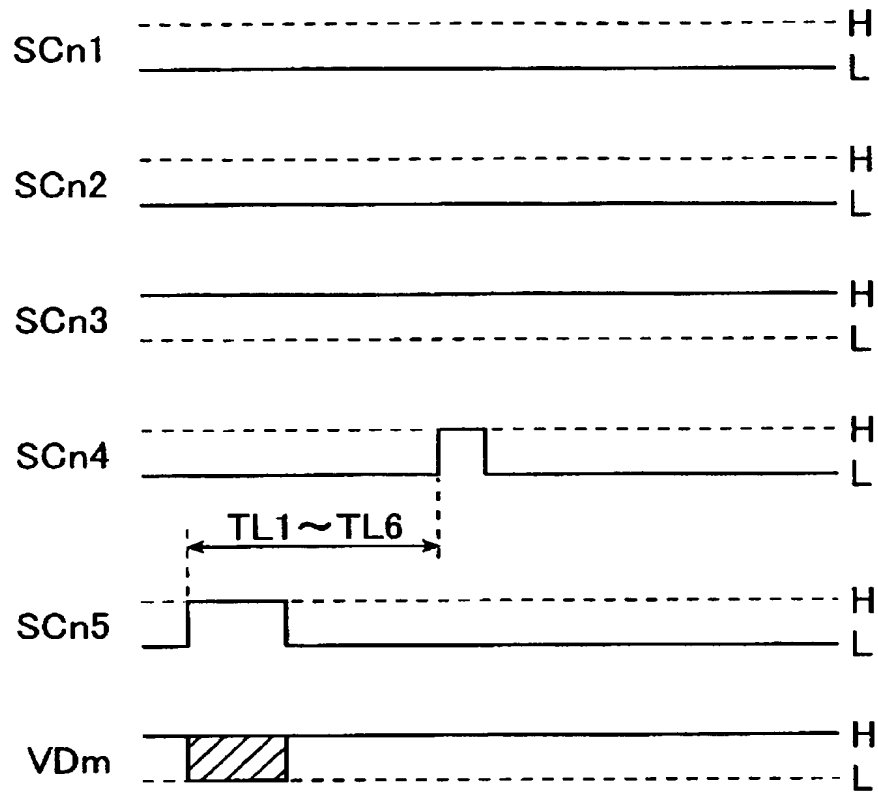
【図 8】



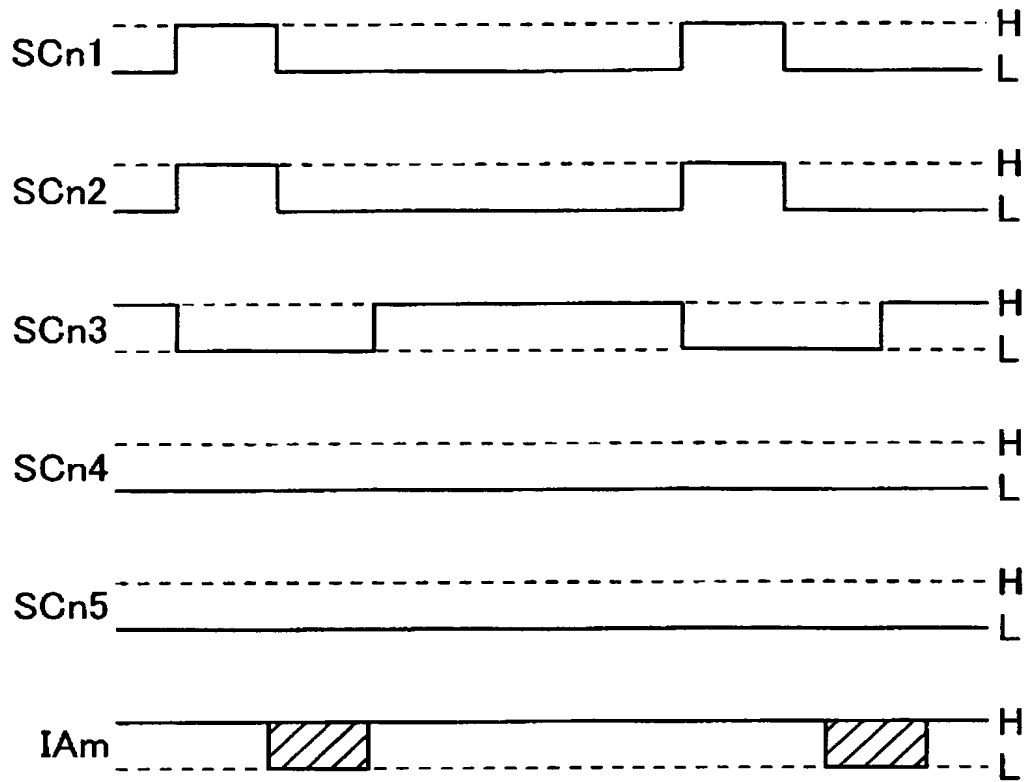
【図 9】



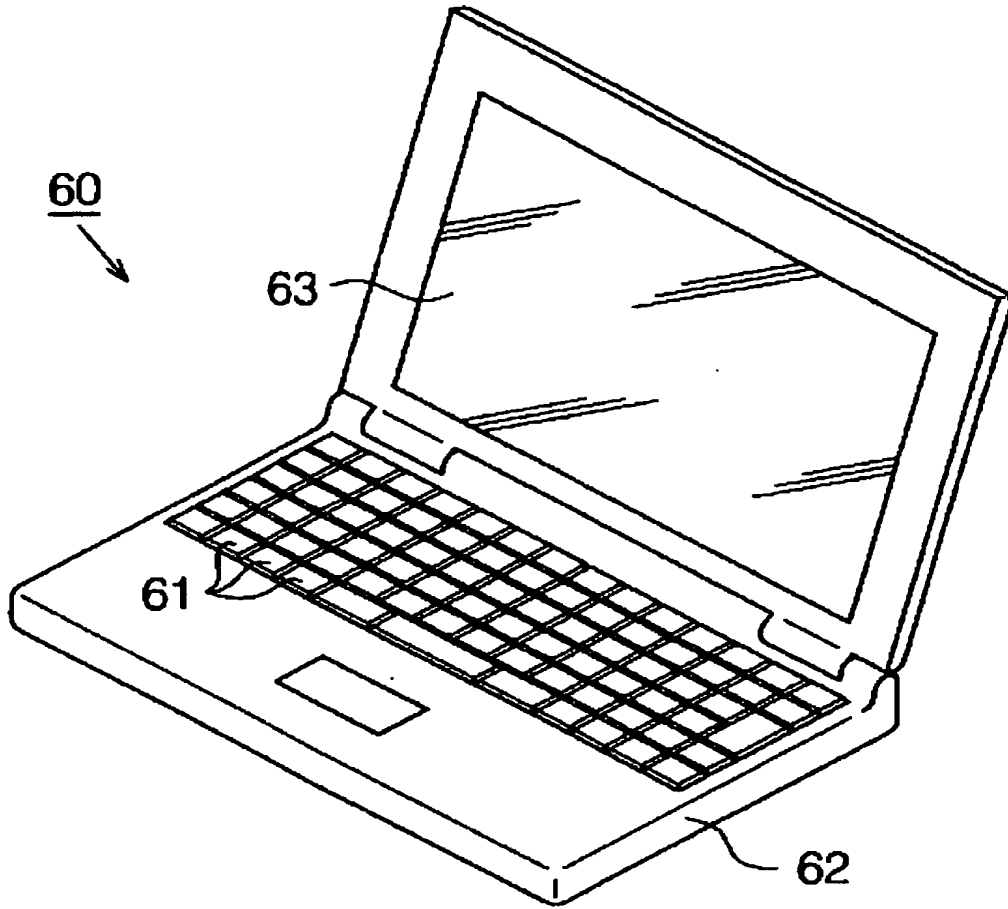
【図 10】



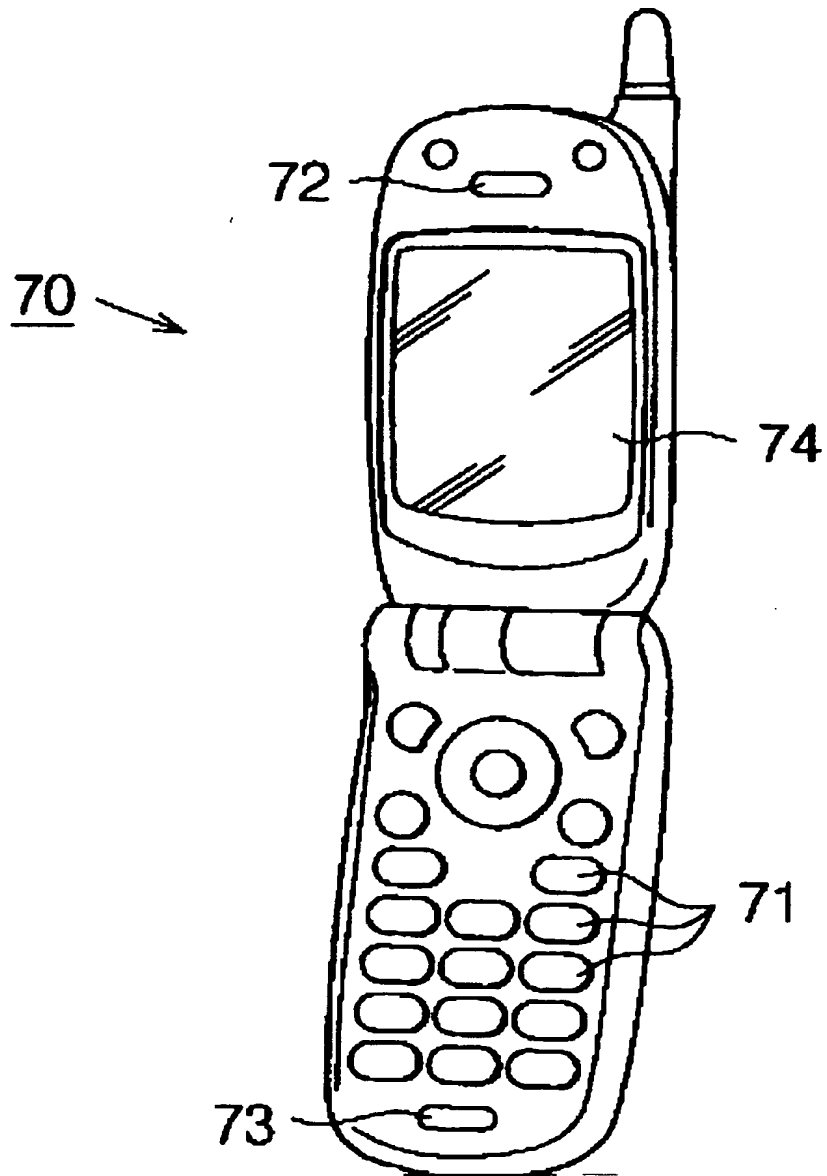
【図 11】



【図 12】



【図 13】



【書類名】 要約書**【要約】**

【課題】 低消費電力と十分な表示品位との両立を図ることができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】 走査線 Y_n とデータ線 X_m との交差部に対応して設けられた画素回路 20 の有機 EL 素子 21 はデータ線 X_m を介して供給されるデジタルデータ V_{Am} 又はアナログデータ電流 I_{Am} に応じた駆動電流が供給される。そして、低消費電力化を図るためにデジタル階調で中間調を制御するときには H レベル又は L レベルのいずれかの値をとるデジタルデータ V_{Am} が画素回路 20 に供給される。また、表示品位をあげるためにアナログ階調で中間調を制御するときにはアナログデータ電流 I_{Am} が画素回路 20 に供給される。

【選択図】 図 2

特願 2 0 0 3 - 3 1 5 5 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社